



## **PADS (Mentor Graphics)**

Платформа PADS - комплексное программное решение для разработки, анализа и верификации печатных плат любой сложности.

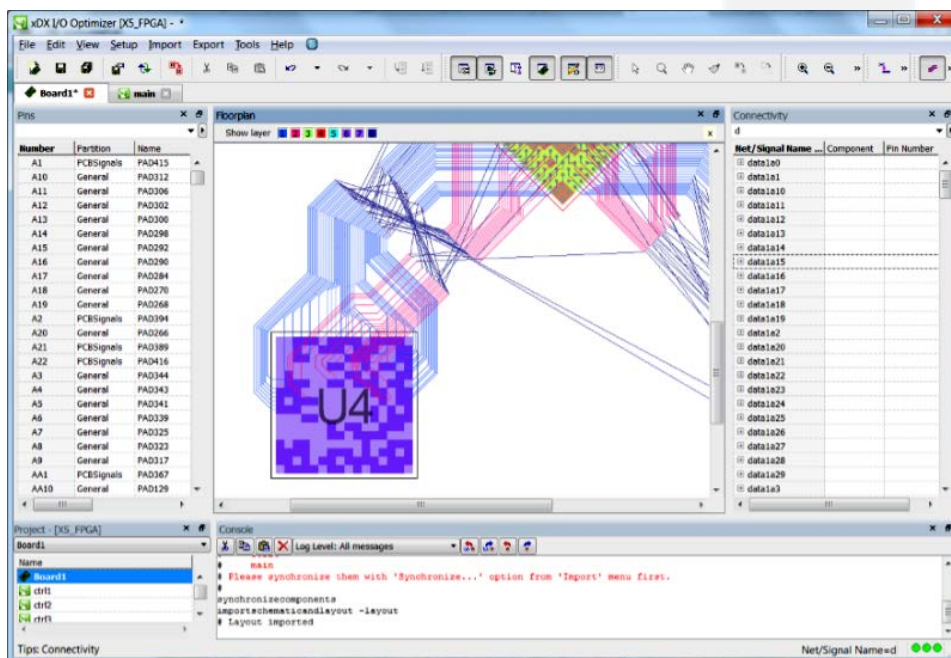
# **FPGA-PCB CO-DESIGN OPTION**

**ДЛЯ PADS PROFESSIONAL**

**СОВМЕСТНАЯ РАЗРАБОТКА ПЛИС-ПЕЧАТНАЯ ПЛАТА**

## О РЕШЕНИИ FPGA-PCB CO-DESIGN OPTION

Современные ПЛИС с большим количеством выводов предоставляют инженерам широкие возможности для улучшения разрабатываемой продукции. Однако при этом возникают проблемы по интеграции ПЛИС с печатной платой. Это связано с тем, что сотни логических сигналов должны быть сопоставлены с физическим назначением выводов, сохраняя при этом электрическую целостность конструкции. Поэтому использование современных ПЛИС требуют наличие передовых технологий синтеза для ускорения процесса проектирования, минимизации влияния на внесение изменений в конструкцию.



*Система выводов ПЛИС оптимизирует назначение выводов для улучшения трассировки и целостности сигналов.*

Опция FPGA-PCB Co-Design Option предназначена для решения данных вопросов. Включает инструменты по синтезу HDL и продвинутую технологию оптимизации выводов ПЛИС-Печатная плата. Опция работает только с конфигурацией PADS Professional. Интерфейс между средой проектирования HDL и физической реализацией на печатной плате значительно сокращает время на разработку и стоимость производства.

Среда для интуитивного логического синтеза включает продвинутую технологию оптимизации, временной анализ и продвинутую технологию маршрутизации выводов для ПЛИС от любых производителей. Это значительно ускоряет выход готовой продукции на рынок, устраняет ошибки проектирования и обеспечивая превосходное качество результатов.

## ХАРАКТЕРИСТИКИ И ПРЕИМУЩЕСТВА

- Значительно сокращает время проектирования за счет параллельной работы ПЛИС – Печатная Плата.
- Уменьшает затраты на производство печатной платы из-за уменьшения количества слоев.
- Уменьшает количество доработок при использовании устаревших символов ПЛИС на печатной плате.
- Использует высокоскоростную оптимизацию.
- Снижает затраты на создание и поддержку символов ПЛИС для печатной платы.

## ОПТИМИЗАЦИЯ ВЫВОДОВ ПЛИС

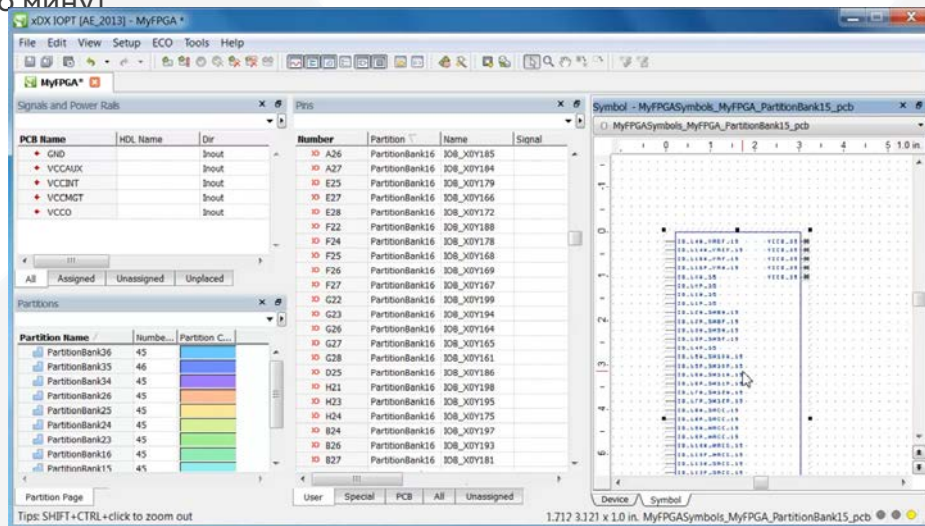
### Интеграция в маршрут проектирования печатной платы

Оптимизация выводов ПЛИС на любой стадии цикла проектирования может быть полностью интегрирована в маршрут проектирования печатных плат PADS Professional. Базы данных схемотехники, топологии и ПЛИС всегда синхронизированы, что обеспечивает полный пользовательский контроль. Инженеры разработчики схемотехники самостоятельно принимают решение, в какой момент данные ПЛИС (новые или обновленные) должны быть переданы в проект печатной платы.

Перед началом размещения на печатной плате или проведении трассировки, инструменты оптимизации выводов анализируют данные проекта PADS для наиболее оптимального планирования и лучшего размещения. Результаты экспортируются в топологию, а управление ПЛИС происходит либо на уровне проекта, либо на уровне библиотеки предприятия.

### Автоматическое создание компонентов и символов

Для создания символов ПЛИС требуется другой подход, т.к логика ПЛИС может неоднократно меняться в течение жизненного цикла проекта. При этом символы должны рлдностью соответствовать этими изменениями. Опция PADS FPGA-PCB Co-Design Option включает набор инструментов, которые делают создание символов простым, быстрым и безошибочным, при этом обеспечивая полный контроль над процессом создания символов. По сравнению с созданием символов вручную время сокращено с часов или дней до минут



*Быстрое и простое создание символов и компонентов*

### Назначение сигналов и выводов

Ручное назначение сигналов HDL на выводы ПЛИС при соблюдении правил производителя ПЛИС может быть сложной и трудоемкой задачей. Для упрощения данного процесса, PADS Professional включает простые в использовании инструменты для автоматического назначения, контроля сигналов, назначения с помощью простого перетаскивания, поддержки операций с наборами объектов и динамической фильтрацией. С помощью данных инструментов, назначение сигналов с выводами ПЛИС становится простой операцией. Любое изменение назначения вывода происходит в маршруте ПЛИС-Печатная Плата, что позволяет поддерживать целостность проекта независимо от того, где внесены изменения.

## Планирование и размещение компонентов

Важным этапом процесса проектирования печатной платы является размещение и ориентация компонентов на печатной плате. Планирование компоновки может быть выполнено до и во время процесса разработки топологии печатной платы. Благодаря этому, инженеры могут вносить изменения в назначение выводов ПЛИС на самых ранних этапах проектирования. Это позволяет оптимизировать размещение и ориентацию компонентов, сократить длину цепей и уменьшить количество их пересечений.

## Оптимизация ПЛИС

Одно и то же устройство ПЛИС может иметь разные логические функции в разных проектах или даже в рамках одного проекта. Оптимизация выводов в PADS Professional автоматически поддерживает любые изменения. Устройства ПЛИС, представленные различными функциональными символами, содержатся в отчете спецификации в полном соответствии с нумерацией производителя. Оптимизация соединений между двумя или более устройствами ПЛИС практически невозможно выполнить вручную. С помощью PADS FPGA-PCB Co-Design Option алгоритм оптимизации оценивает все возможные комбинации соединений для достижения оптимального результата. Пересечения цепей, возникающие в результате первоначального назначения, также минимизируются, что обеспечивает оптимизацию и удобство дальнейшей трассировки.

## СИНТЕЗ ПЛИС

### Продвинутые алгоритмы оптимизации

Набор уникальных алгоритмов оптимизации автоматически находит области, которые ухудшают производительность проекта, например, такие как конечные автоматы, перекрестные иерархические пути и пути с избыточной комбинаторной логикой. Эти алгоритмы обеспечивают автоматизированный эвристический подход к созданию небольших и быстрых проектов без необходимости повторного ручного вмешательства.

### RTL, технологические карты и просмотр схем

Когда проект скомпилирован, он создается в виде схемы RTL. После синтеза создается схема и база данных с технологическими картами. Средства просмотра схем помогают понять, как RTL интерпретируется и сопоставляется с технологией ПЛИС.

### Независимость от производителей ПЛИС

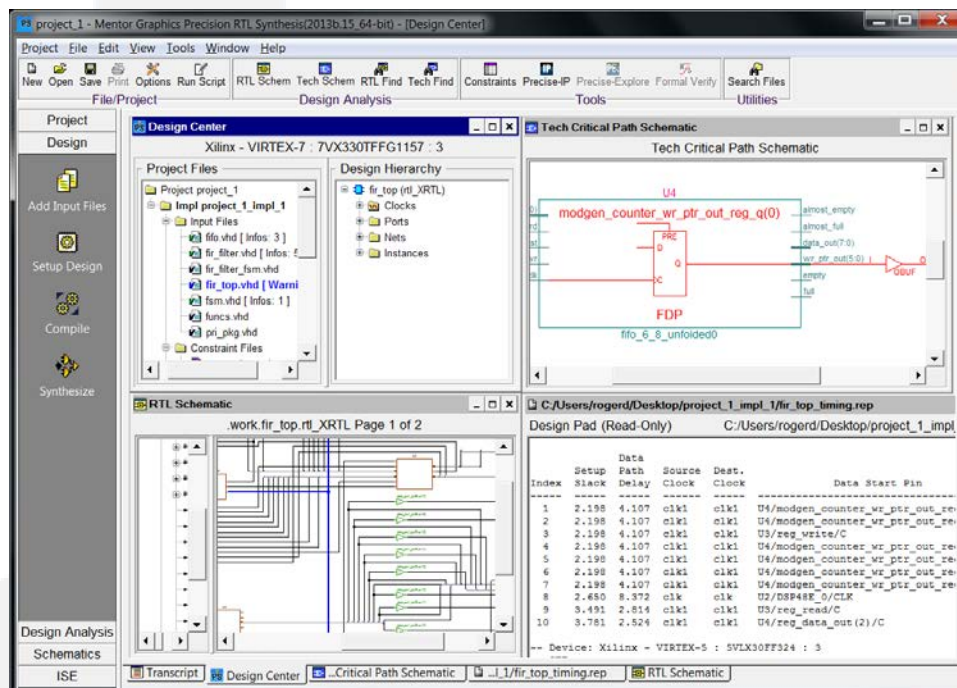
Синтез поддерживает устройства от производителей ПЛИС: Altera, Lattice, Microsemi и Xilinx. Инженер может использовать исходные файлы проекта HDL и ограничения для любого устройства с последующим получением синтезированного списка соединений, который можно использовать для размещения и трассировки в соответствующих программных приложениях от производителя ПЛИС. Эта независимость от производителя позволяет пользователям легко перенастраивать и анализировать результаты любого устройства ПЛИС, что позволяет найти лучшее устройство для вашего проекта.

### Поддержка всех устройств

Опция совместного проектирования ПЛИС-Печатная Плата также полностью поддерживает инструменты производителей ПЛИС: Altera Quartus II, Lattice Diamond и ispLEVER, Microsemi Libero и Designer, а также Xilinx ISE и Vivado.

## Задание ограничений

Для эффективной работы с комплексными сложными устройствами ПЛИС, опция PADS FPGA-PCB поддерживает различные источники ограничений, в том числе указанные в коде HDL, файлах SDC и глобальных ограничениях, установленных в самом приложении. Важно указать общие временные ограничения, такие как тактовая частота, задержки ввода/вывода и исключения синхронизации (например, многоцикловые и ложные такты во время синтеза) для обеспечения оптимальных результатов синтеза.



*Продвинутое технологии синтеза вне зависимости от производителя ПЛИС позволяют оптимизировать архитектуру для каждого устройства ПЛИС*

## Конвертация тактовых импульсов

Разработчики интегральных схем обычно используют стробируемые тактовые импульсы для управления питанием и других целей. Однако при сопоставлении с устройствами ПЛИС эти стробированные тактовые импульсы могут привести к расфазировке, созданию помех и проблем синхронизации. Стробированные тактовые импульсы автоматически конвертируются с использованием соответствующих разрешающих сигналов, доступных в ПЛИС.

## Оптимизация выводов DSP и RAM

Современные устройства ПЛИС кроме обычных логических блоков содержат встроенные блоки DSP и RAM. Поэтому для инструментов синтеза важно распознать стили кодирования RTL и сопоставить их с соответствующим DSP или RAM. Опция совместного проектирования PADS Professional FPGA-PCB включает расширенные возможности вывода и оптимизации для максимального использования встроенных ресурсов.

## Поддержка Verilog, SystemVerilog и VHDL

Поддержка языков Verilog, SystemVerilog и VHDL / VHDL-2008 позволяет разработчикам использовать любую комбинацию этих форматов для создания и синтеза проектов RTL и достижения оптимальных результатов.

Компания «КАДИС» является официальным партнером компании Mentor Graphics и имеет право поставлять программные решения PADS, HyperLynx, FloEFD на территории Российской Федерации, а также предоставлять техническую поддержку пользователям программного обеспечения.

По вопросам приобретения, бесплатного тестирования и любым другим вопросам, пожалуйста, обращайтесь:

**Адрес:** г. Москва, Каширское шоссе, дом 3, корпус 2, строение 2, БЦ Сириус Парк.

**Контактный телефон:** 7 (495) 175-571-4

**Электронная почта:** [info@cad-is.ru](mailto:info@cad-is.ru)

**Сайт:** <https://www.cad-is.ru>

Блог по PADS: <http://cad-is.ru/blog/pads>

Блог по HyperLynx: <http://cad-is.ru/blog/hyperlynx>



 [t.me/CADIS\\_Blog](https://t.me/CADIS_Blog)

 [vk.com/cadis.software](https://vk.com/cadis.software)

 [youtube.com/c/cadis\\_software](https://youtube.com/c/cadis_software)

 [instagram.com/cadis\\_software](https://instagram.com/cadis_software)

 [facebook.com/cadis.software](https://facebook.com/cadis.software)

 [twitter.com/cadis.software](https://twitter.com/cadis.software)



CADIS